

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-251877

(43)Date of publication of application : 06.09.2002

(51)Int.Cl.

G11C 11/22

(21)Application number : 2001-051139

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY
CORP

(22)Date of filing : 26.02.2001

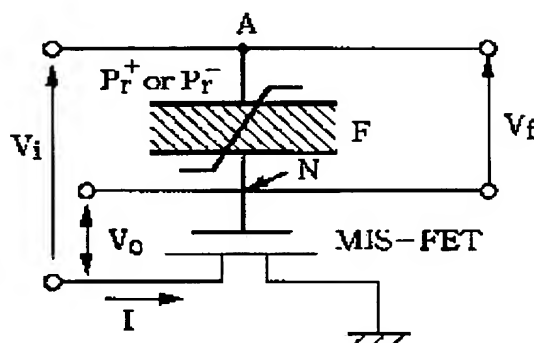
(72)Inventor : HOTTA SUSUMU
HORII SADAYOSHI

(54) NON-DESTRUCTIVELY READABLE FERROELECTRIC MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-destructively readable ferroelectric memory device by applying write-in voltage V_f only to a ferroelectric capacitor F.

SOLUTION: This device is provided with a ferroelectric capacitor F connected to an MIS-FET in series, a power source of write-in connected to a connection point N between the ferroelectric capacitor F and the MIS-FET and the other connection point A of the ferroelectric capacitor F, and a power source for read-out connected to the MIS-FET and the ferroelectric capacitor F being in a series connection state. Write-in voltage V_f is applied to the ferroelectric capacitor F, a connection point between the ferroelectric capacitor F and the MIS-FET is made a off-state, and read-out voltage V_i is applied to the ferroelectric capacitor F and the MIS-FET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-251877
(P2002-251877A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl.⁷

G 1 1 C 11/22

識別記号

5 0 1

F I

G 1 1 C 11/22

テ-マ-ト* (参考)

5 0 1 F

5 0 1 K

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2001-51139(P2001-51139)

(22) 出願日 平成13年2月26日(2001.2.26)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(72) 発明者 堀田 将

石川県能美郡辰口町旭台1-1 北陸先端

科学技術大学院大学 材料科学研究科内

(72) 発明者 堀井 貞義

石川県能美郡辰口町旭台1-1 北陸先端

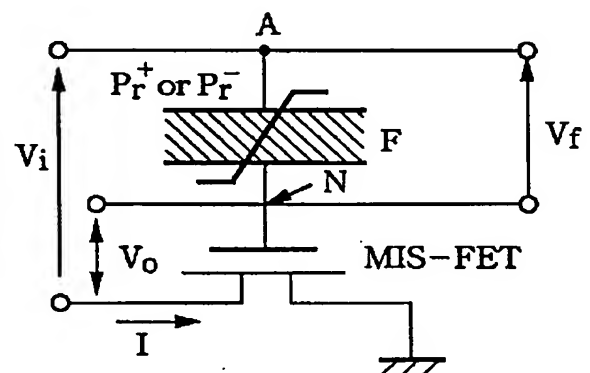
科学技術大学院大学 材料科学研究科内

(74) 代理人 100092392

弁理士 小倉 亘

(54) 【発明の名称】 非破壊読出し可能な強誘電体メモリデバイス

(57) 【要約】

【目的】 書き込み電圧 V を強誘電体キャパシタ F のみに印加することにより、非破壊読出し可能な強誘電体メモリデバイスを得る。【構成】 $MIS-FET$ に直列接続された強誘電体キャパシタ F と、強誘電体キャパシタ $F/MIS-FET$ 間の接続点 N 及び強誘電体キャパシタ F の他の接続点 A に接続された書き込み用電源と、直列状態の $MIS-FET$ 及び強誘電体キャパシタ F に接続された読出し用電源とを備えている。強誘電体キャパシタ F に書き込み電圧 V が印加され、強誘電体キャパシタ $F/MIS-FET$ 間の接続点をオフ状態にして強誘電体キャパシタ F 及び $MIS-FET$ に読出し電圧 V が印加される。

【特許請求の範囲】

【請求項1】 MIS-FETのゲートに直列接続された強誘電体キャパシタと、強誘電体キャパシタ/MIS-FET間の接続点及び強誘電体キャパシタの他の接続点に接続される書き込み用電源と、直列状態のMIS-FETのドレン又はソース及び強誘電体キャパシタに接続される読出し用電源とを備え、強誘電体キャパシタに書き込み電圧が印加され、強誘電体キャパシタ/MIS-FET間の接続点をオフ状態にして強誘電体キャパシタ及びMIS-FETに読出し電圧が印加されることを特徴とする非破壊読出し可能な強誘電体メモリデバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、定電圧動作で高速の非破壊読出しが可能な強誘電体メモリデバイスに関する。

【0002】

【従来の技術】強誘電体薄膜を用いた記憶素子が一部で実用化されているが、最低でも一つのMOS-FET (Metal-Oxide-Semiconductor Field Effect Transistor) と一つの強誘電体薄膜によるコンデンサからなる1トランジスタ1キャパシタ方式(1T1C方式)が従来の強誘電体素子の主流である。1T1C方式は、不揮発性であるものの破壊読出しであるため、記録された情報を一旦読み出すと再度の書き込みを必要とする。そのため、再書き込みに対応した周辺回路を必要とし、装置が複雑化するばかりでなく消費電力も多くなる。

【0003】情報機器の高性能化、高密度化に伴って情報機器に組み込まれる記憶素子の集積度が1Gビット以上になると、電荷量を保持するためのキャパシタ構造が複雑になり、記憶素子の作製自体が困難になることが予想される。そこで、強誘電体薄膜をゲートにもつFETタイプの強誘電体メモリデバイスが提案され、現在研究段階にある。たとえば、特開平5-198194号公報では、正・負の読み取り信号をセンスアンプ回路で加算し、加算極性を強誘電体コンデンサ内に格納することにより分極状態を確定する非破壊読取装置が紹介されている。

【0004】

【発明が解決しようとする課題】改良された強誘電体メモリデバイスは、非破壊読出しであり、一つの素子で作製できることから、1T1C方式に比較して高集積化できる理想的なメモリデバイスと考えられている。しかし、これまで提案されている強誘電体メモリデバイスでは、Si/強誘電体薄膜の界面に低誘電率層が形成されるため、1T1C方式のメモリデバイスに比較して駆動電圧が高くなる。

【0005】

【課題を解決するための手段】本発明は、このような問題を解消すべく案出されたものであり、強誘電体のヒステリシスループにおける正及び負の分極から飽和分極に

至る分極勾配を起因とする電気容量の相違を利用することにより、MOS-FET等のMIS-FET (Metal-Insulator-Semiconductor FET) に流れる電流の大小で“0”又は“1”を判定し、非破壊読出しを可能とした強誘電体メモリデバイスを提供することを目的とする。

【0006】本発明の強誘電体メモリデバイスは、その目的を達成するため、MIS-FETのゲートに直列接続された強誘電体キャパシタと、強誘電体キャパシタ/MIS-FET間の接続点及び強誘電体キャパシタの他の接続点に接続される書き込み用電源と、直列状態のMIS-FETのドレン又はソース及び強誘電体キャパシタに接続される読出し用電源とを備え、強誘電体キャパシタに書き込み電圧が印加され、強誘電体キャパシタ/MIS-FET間の接続点をオフ状態にして強誘電体キャパシタ及びMIS-FETに読出し電圧が印加されることを特徴とする。

【0007】

【実施の形態】強誘電体Fの分極Pと電界Eとの間には、図1に示すようなヒステリシス特性の関係がある。Pから飽和分極 P_s に急激に立ち上がる分極Pの電界Eに対する変化割合と、 P_s から飽和分極 P_s に緩やかに立ち上がる分極Pの変化割合、すなわち勾配 dP/dE と電気容量との比例関係から強誘電体キャパシタの分極状態に対応した大きな電気容量 C_L と小さな電気容量 C_U を利用することにより、読出し電圧印加によってMIS-FETに流れる電流の相違を利用し、電流の大小又はその結果発生した電圧の高低を“0”又は“1”とする非破壊読出しが可能となる。

【0008】本発明に従った強誘電体メモリデバイスは、図2の概念図に示されるように、強誘電体キャパシタFとMIS-FETとを直列接続し、強誘電体キャパシタFの接続点Aと強誘電体キャパシタF/MIS-FET間の接続点Nとの間に書き込み電圧V_wをかけ、MIS-FETから独立して強誘電体キャパシタFに印加する構成を採用している。強誘電体キャパシタFは、書き込み電圧V_wの印加によってP_w又はP_rに分極され、その分極状態が保持される。読み出しに際しては、強誘電体キャパシタF及びMIS-FETの全体に電圧V_i (読出し電圧) を印加し、出力電圧V_oに対応してMIS-FETに流れる出力電流I_oが制御される。

【0009】読出し電圧V_iを印加したときにMIS-FETに加わる電圧V_gは、MIS-FETのもつ電気容量 C_g との関係で、式 $V_g = V_i C_i / (C_i + C_g)$ で与えられる。電気容量 C_i は、強誘電体キャパシタの電気容量 C_L と共に実際には電圧の関数となるが、本件明細書では簡略化のため定数として扱う。読出し電圧V_iを印加してP_w→P_r方向へと分極が変化する場合、電気容量 C_L が小さいため出力電圧V_oが小さくなる(図1)。読出し電圧V_iを印加してP_r→P_w方向へと分極が変化する場合、電気容量 C_L が大きい場合出力電圧V_o。

が大きくなる。厳密には、電気容量 C_1 及び電気容量 C_2 は電界依存性のある非線形容量になることからグラフィック又は統計的手法で電圧 V_0 を求める必要があるが、何れにしても電圧 V_0 の相違に応じてMIS-FETに流れる電流 I が変化する。そこで、出力電流 I の大小により“0”又は“1”を決定することにより読出しが可能となる。

【0010】記録された情報の読出しに際し、仮に正の読出し電圧 V_0 が印加されると、 P_1 の分極状態は読出し電圧 V_0 印加後も維持される(図3a)。他方、 P_2 の分極状態は、読出し電圧 V_0 の印加によって一部が反転する。反転を元の状態に戻して初期の P_1 値にするまでには、読出し電圧 V_0 が印加され再びゼロとなった後、強誘電体キャパシタFに逆電圧として加わる電圧 V_1 が小さい。そのため、復帰後の分極状態は、 P_1 よりも小さな P_2 になる(図3b)。しかし、2回目以上の読出しでも、 P_1 からの分極勾配よりも P_2 からの分極勾配が十分大きな同じヒステリシスループを経由するので、支障なく記録情報を判別する非破壊読出しが可能となる。

【0011】なお、図3の縦軸を表す電荷 Q は、読出し電圧 V_0 の印加によってMIS-FETのキャパシタに蓄えられる電荷を表しており、強誘電体キャパシタFに新たに加えられる電荷でもある。すなわち、読出し電圧 V_0 の印加前では電荷 Q がゼロであり、このときの電荷を図3の縦軸の基準としている。したがって、仮に強誘電体キャパシタFの分極が P_1 又は P_2 で、それに基づく電荷が蓄えられていても、読出し電圧 V_0 が印加されず、追加の電荷 Q がない場合には図3では電荷 Q がゼロである。

【0012】このことは、それぞれ C_1 、 C_2 の電気容量を持つ二つのキャパシタを直列接続した図4の模式図から理解される。二つのキャパシタが共に当初の電荷がゼロの場合、二つのキャパシタの接点で総電荷量がゼロのため、電圧 V_0 の印加によって個々のキャパシタに同じ電荷 Q が蓄えられる(図4a)。一方、電気容量 C_1 をもつ強誘電体キャパシタFに電荷 $\Delta \pm Q_1$ が蓄えられていても、直列接続された二つのキャパシタに読出し電圧 V_0 を加えることによって二つのキャパシタで新たに発生した電荷 $\Delta \pm Q_2$ は同じ量になる(図4b)。但し、この場合強誘電体キャパシタFには書き込み電圧 V_1 によって予め蓄えられている電荷 $\Delta \pm Q_1$ がある為、総電荷量は $\pm(Q - Q_1)$ となる。したがって、式(1)、(2)が導き出され、式(1)、(2)から式(3)が得られる。式中、 V_1 は読出し電圧 V_0 によって強誘電体キャパシタFに加わる電圧を示し、 $Q = C_1(-V_1)$ は $V_1 = 0$ のときを意味する。

$$V_1 = V_F + V_0 \quad \dots\dots (1)$$

$$Q = C_1 V_1 \quad \dots\dots (2)$$

$$Q = C_1 (V_1 - V_F) \quad \dots\dots (3)$$

【0013】図3の各ヒステリシスループと式(3)で表される直線の交点(黒丸で示した動作点)は実際のデバイスが動作している時の Q 及び V_1 になる。書き込まれた強誘電体キャパシタFの分極状態が P_1 (図3a)では、読出し電圧 V_1 (>0)の変化に応じてヒステリシス特性の上ループを動作点を通る。書き込まれた強誘電体キャパシタFの分極状態が P_2 (図3b)では、読出し電圧 V_1 (>0)の変化に応じてヒステリシス特性の下ループを動作点を通る。ここで、読出し電圧 V_0 を印加して再び読出し電圧 V_0 がゼロに戻ったとき、強誘電体キャパシタFの分極状態が P_1 の場合には、動作点はヒステリシス特性の上ループを戻り、強誘電体キャパシタFの分極状態は変化せずに残る。しかし、強誘電体キャパシタFの分極状態が P_2 の場合(図3b)には、読出し電圧 V_0 の印加に応じて、動作点はヒステリシス特性の下ループを辿って、図の右上方向に移動するが、再び読出し電圧 V_0 がゼロに戻るとき、強誘電体キャパシタの分極状態は若干減少し、 P_2 には戻らず P_2' の点になる。

【0014】

【実施例】Ir 薄膜/YSZ 薄膜/Si 基板上にエピタキシャル成長させた膜厚282nmのPZT($Pb(Zr_{0.4}Ti_{0.6})O_3$)薄膜を強誘電体キャパシタに、0.005 μ Fの市販の固定コンデンサをMIS-FETに代用した。PZT薄膜の下部電極にはIr 薄膜を、上部電極には直径0.1mmのIrO₂薄膜を使用し、図5に示す回路構成の強誘電体メモリデバイスを作製した。なお、MIS-FETに代えて固定コンデンサを使用したことは、電気容量 C の異なる状態で出力電圧 V_0 の大きさの異同を検出することが重要であり、コンデンサの場合に出力電圧 V_0 を容易に測定できることに依る。但し、図5では固定コンデンサの電気容量を C_1 としている。

【0015】 P_1 及び P_2 の分極状態にする書き込み電圧 V_0 を図6(a)、(b)にそれぞれ示す。また、+5Vの読出し電圧 V_0 を印加したときの出力電圧 V_0 をオシロスコープで測定した波形を図7、8に示す。読出し電圧 V_0 としては、非破壊特性をみるため+5Vの方形波を4パルス連続して印加した。

【0016】図7、8から明らかなように、 P_1 の分極状態での出力電圧 V_0 が1V程度であるのに対し、 P_2 の分極状態での出力電圧 V_0 が2.2V程度となっており、両者の間に1V以上の電圧差が生じていた。1V以上の電圧差は、MIS-FETのオン・オフ状態を区別する上で十分な値である。しかも、後続の3パルスについて出力電圧 V_0 をみると、出力電圧 V_0 の波形がほとんど変わっていない。このことは、本発明の強誘電体メモリデバイスが、安定条件下で繰返し読出しできる非破壊メモリデバイスとして使用できることを意味する。

【0017】強誘電体メモリデバイスを組み込んだ実際

の集積回路では、一例を図9に示すように、スイッチング用のMIS-FET2を接続点Nとビット線Bとの間に介装しているが、スイッチング動作する限り、MIS-FET2に代えて他の素子を使用することもできる。読出し用MIS-FET1のE点は、オン・オフ時の電流Iに十分な差がでるような電位に保持されれば良く、必ずしもアースする必要はない。

【0018】書込みに際しては、書込み用ワード線W_iを介してスイッチング用MIS-FET2をオンにし、ワード線W及びビット線Bを介して強誘電体キャパシタをP_i⁺又はP_i⁻の分極状態にする。書込み終了後、ワード線W及びビット線Bを共にゼロ電位にし、書込み用ワード線W_iを介してスイッチング用MIS-FET2をオフにすることにより、書き込まれた情報を保持する。読出しに際しては、MIS-FET1に適度な電流が流れるようにワード線Wに読出し電圧V_rを印加する。このとき、強誘電体キャパシタの分極状態に応じて出力電圧V_oの値が異なり、MIS-FET1及びビット線Bに流れる電流Iの大小によって“0”及び“1”が判定される。

【0019】V_r>0ならば、強誘電体キャパシタのP-Eヒステリシス特性を抗電界より若干少なめの負の方向にシフトさせること(図10)によって、P_i⁺から飽和分極P_s⁺に至る分極の勾配がより小さくなり、またP_i⁺から飽和分極P_s⁺に至る分極の勾配が大きくなるため、大きな信号差での読出しが可能となる。

【0020】

【発明の効果】以上に説明したように、本発明の強誘電体メモリデバイスは、強誘電体キャパシタに書込み電圧を印加し、分極-電界のヒステリシスループにおけるP_i⁺及びP_i⁻状態から飽和分極P_s⁺に至る分極勾配の差、つまり強誘電体キャパシタの電気容量の差に起因したMIS-FETの出力電流又は電圧の大小によって“0”及び“1”を判定している。この方式によると、高い駆動電圧を必要とせず高速の非破壊読出しが可能とな

る。

【図面の簡単な説明】

【図1】 強誘電体の分極-電界ヒステリシス特性を示すグラフ

【図2】 本発明に従った強誘電体メモリデバイスの回路構成の概略図

【図3】 正の書込み電圧V_i(a)及び負の書込み電圧V_i(b)を印加したときの分極状態を示すグラフ

【図4】 直列接続された強誘電体キャパシタとMIS-FETがもつキャパシタの電荷分布状態を示す模式図

【図5】 実施例で採用した強誘電体メモリデバイスの回路構成を示す図

【図6】 強誘電体キャパシタP_i⁺(a)及びP_i⁻(b)の分極状態になるようにする書込み電圧V_iを示すグラフ

【図7】 P_i⁺の分極状態で読出し電圧V_r(>0)を印加したときの出力電圧V_oを示すグラフ

【図8】 P_i⁻の分極状態で読出し電圧V_r(>0)を印加したときの出力電圧V_oを示すグラフ

【図9】 強誘電体メモリデバイスを組み込んだ集積回路の回路構成を示す図

【図10】 負の電界方向にシフトした分極-電界ヒステリシスループを示すグラフ

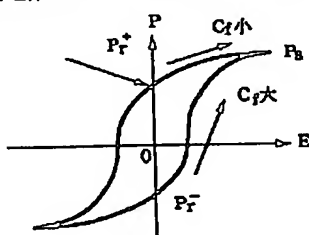
【符号の説明】

F: 強誘電体キャパシタ N: 強誘電体キャパシタ/MIS-FET間の接続点 A: 強誘電体キャパシタの他の接続点

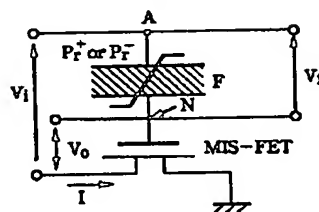
C₀, C_f: 電気容量 V_i: 書込み電圧 V_r: 読出し電圧 V_o: 出力電圧 I: 読出し電流 V_F: 読出し電圧V_rの印加で強誘電体キャパシタにかかる電圧 Q: 電荷 Q_i: 書込み電圧V_iにより強誘電体キャパシタに蓄えられた電荷 ΔQ: 読出し後、V_r=0になったときの強誘電体キャパシタに蓄えられる電荷のQから減少した電荷分 F: 強誘電体キャパシタ

【図1】

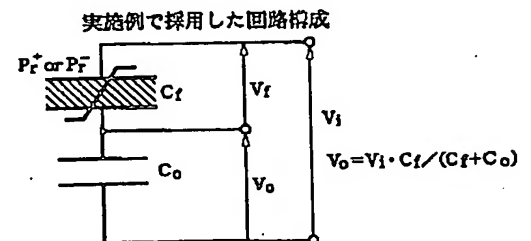
強誘電体の分極-電界ヒステリシスループ



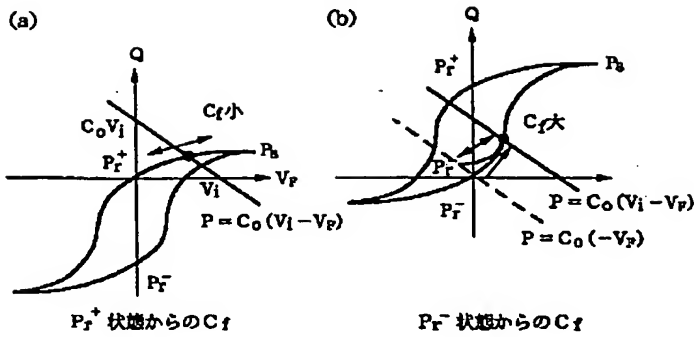
【図2】



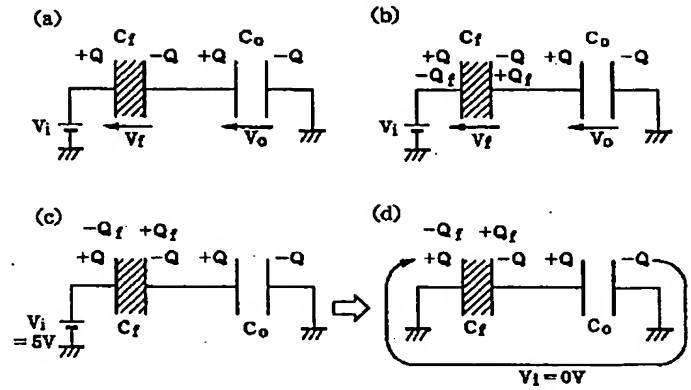
【図5】



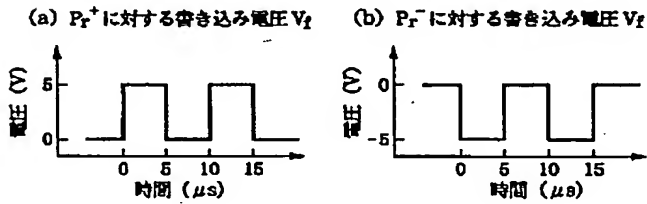
【図3】



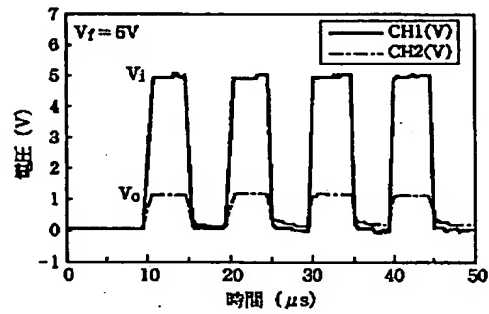
【図4】



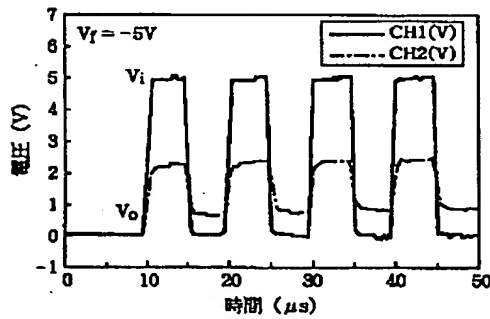
【図6】



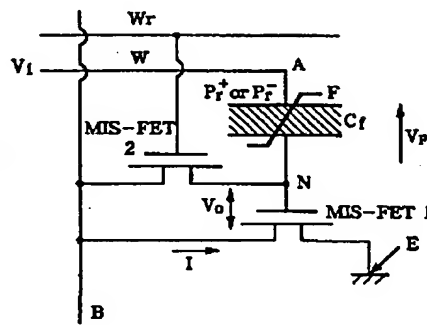
【図7】



【図8】

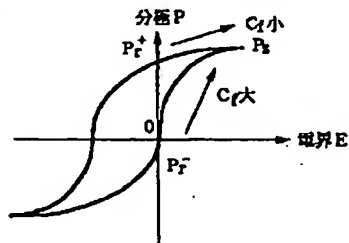


【図9】



【図10】

負の電圧方向にシフトしたP-Eヒステリシスループ



【 手続補正書】

【 提出日】平成13年4月18日(2001.4.18)

【 手続補正1】

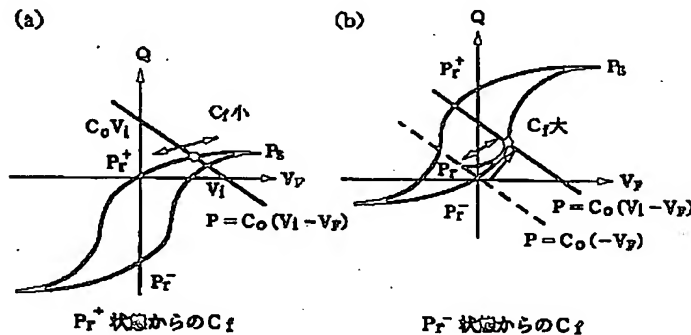
【 補正対象書類名】明細書

【 補正対象項目名】0012

【 補正方法】変更

【 補正内容】

【 0012】このことは、それぞれ C_o 、 C_f の電気容量を持つ二つのキャパシタを直列接続した図4の模式図から理解される。二つのキャパシタが共に当初の電荷がゼロの場合、二つのキャパシタの接点で総電荷量がゼロのため、電圧 V_i の印加によって個々のキャパシタに同じ電荷 Q が蓄えられる(図4a)。一方、電気容量 C_f をもつ強誘電体キャパシタ F に電荷 $\Delta \pm Q_f$ が蓄えられていても、直列接続された二つのキャパシタに読出し電圧 V_i を加えることによって二つのキャパシタで新たに発生した電荷 $\pm Q$ は同じ量になる(図4b)。但し、この場合強誘電体キャパシタ F には書き込み電圧 V_f によって予め蓄えられている電荷 $\Delta \pm Q_f$ がある為、総電荷量は $\pm(Q - Q_f)$ となる。したがって、式(1)、(2)が導き出され、式(1)、(2)から式(3)が得られる。式中、 V_f は読出し電圧 V_i によって強誘電体キャパシタ F に加わる電圧を示し、 $Q = C_o(-V_f)$ は $V_i = 0$ のときを意味する。



$$V_i = V_f + V_o \quad \dots \dots (1)$$

$$Q = C_o V_o \quad \dots \dots (2)$$

$$Q = C_o (V_i - V_f) \quad \dots \dots (3)$$

【 手続補正2】

【 補正対象書類名】明細書

【 補正対象項目名】符号の説明

【 補正方法】変更

【 補正内容】

【 符号の説明】

F : 強誘電体キャパシタ N : 強誘電体キャパシタ/
MIS-FET間の接続点 A : 強誘電体キャパシタ
の他の接続点

C_o , C_f : 電気容量 V_f : 書き込み電圧 V_i : 読出し電圧 V_o : 出力電圧 I : 読出し電流 V_f :
読出し電圧 V_i の印加で強誘電体キャパシタにかかる電圧 Q : 電荷 Q_f : 書き込み電圧 V_f により強誘電体
キャパシタに蓄えられた電荷

【 手続補正3】

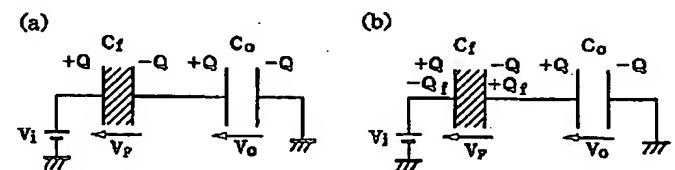
【 補正対象書類名】図面

【 補正対象項目名】図3

【 補正方法】変更

【 補正内容】

【 図3】



【 手続補正4】

【 補正対象書類名】図面

【 補正対象項目名】図4

【 補正方法】変更

【 補正内容】

【 図4】